

Docket No.: 67161-146

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Motoi ASHIDA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 17, 2004	:	Examiner:
	:	
For: SEMICONDUCTOR MEMORY DEVICE WITH STATIC MEMORY CELLS	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:


Japanese Patent Application No. 2003-130244 (P), filed on May 8, 2003.

Japanese Patent Application No. 2003-416835 (P), filed on December 15, 2003.

cited in the Declaration of the present application. Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: March 17, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月 8日

出 願 番 号

Application Number:

特願2003-130244

[ST.10/C]:

[JP2003-130244]

出 願 人

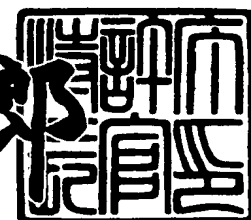
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3045269

【書類名】 特許願
【整理番号】 543797JP01
【提出日】 平成15年 5月 8日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/417
G11C 11/34
H01L 27/11

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
ステクノロジ内

【氏名】 芦田 基

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 将行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項1】 データを記憶するメモリセルと、

前記メモリセルに接続されるワード線およびビット線対とを備え、

前記メモリセルは、

第1の負荷素子、およびNチャネルMOSトランジスタからなる第1の駆動素子で構成される第1のインバータと、

前記第1のインバータと交差接続され、第2の負荷素子、およびNチャネルMOSトランジスタからなる第2の駆動素子で構成される第2のインバータと、

前記第1および第2のインバータの出力ノードにそれぞれ接続される第1および第2の記憶ノードと、

前記ワード線にゲート電極が接続されるPチャネルMOSトランジスタで各々が構成され、前記第1および第2の記憶ノードを前記ビット線対の一方および他方のビット線にそれぞれ接続する第1および第2のゲート素子とを含み、

前記第1の記憶ノードを構成する第1の金属配線は、基板表面に形成される前記第1の駆動素子および前記第1のゲート素子に積層して設けられ、

前記第2の記憶ノードを構成する第2の金属配線は、前記基板表面に形成される前記第2の駆動素子および前記第2のゲート素子に積層して設けられ、

前記第1および第2の負荷素子は、前記第1および第2の金属配線の上に設けられる、半導体記憶装置。

【請求項2】 前記第1の金属配線は、前記第1のゲート素子のドレイン電極、前記第1の駆動素子のドレイン電極、および前記第2の駆動素子のゲート電極を相互に接続し、

前記第2の金属配線は、前記第2のゲート素子のドレイン電極、前記第2の駆動素子のドレイン電極、および前記第1の駆動素子のゲート電極を相互に接続し、

前記第1および第2の負荷素子は、前記第1および第2の金属配線の上に層間絶縁膜を介して形成され、それぞれ第1および第2の接続部を介して前記第1

および第 2 の金属配線に接続される、請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記第 1 および第 2 の負荷素子の各々は、P チャネル薄膜トランジスタからなる、請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記第 1 および第 2 の負荷素子の各々は、ポリシリコンで形成され、かつ、所定の抵抗値よりも高い抵抗値を有する抵抗素子からなる、請求項 1 に記載の半導体記憶装置。

【請求項 5】 外部電源電圧を受け、所定の電圧よりも低い内部電圧を発生する内部電源発生回路をさらに備え、

前記メモリセルは、前記内部電源発生回路によって発生される前記内部電圧に基づいて動作する、請求項 1 に記載の半導体記憶装置。

【請求項 6】 前記所定の電圧は、3 V である、請求項 5 に記載の半導体記憶装置。

【請求項 7】 前記メモリセルは、

前記第 1 の記憶ノードに一方の端子が接続され、他方の端子が定電位ノードに接続される第 1 の容量素子と、

前記第 2 の記憶ノードに一方の端子が接続され、他方の端子が前記定電位ノードに接続される第 2 の容量素子とをさらに含む、請求項 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、特に、スタティック型のメモリセルを備える半導体記憶装置に関する。

【0002】

【従来の技術】

代表的な半導体記憶装置の 1 つである S R A M (Static Random Access Memory) は、記憶データを保持するためのリフレッシュ動作が不要な R A M である。

S R A M のメモリセルは、負荷素子およびドライバトランジスタからなる 2 つのインバータが交差接続されたフリップフロップがアクセストランジスタを介して

ビット線対に接続される構成となっている。

【0003】

SRAMにおける代表的なメモリセルとしては、負荷素子がPチャネルMOSトランジスタで構成され、ドライバトランジスタおよびアクセストランジスタがNチャネルMOSトランジスタで構成されるCMOS型メモリセルが一般的に知られている。このCMOS型メモリセルは、消費電力が小さく、また、CMOSの特性上、スタティックノイズマージン（Static Noise Margin、以下「SNM」とも称する。）特性に優れ、さらにソフトエラー耐性にも優れるという特性を有する。

【0004】

SRAMにおけるその他の代表的なメモリセルとして、ポリシリコンからなる高抵抗素子で負荷素子が構成される高抵抗負荷型メモリセルや、ポリシリコンからなるPチャネル薄膜トランジスタ（以下、「PチャネルTFT（Thin Film Transistor）」とも称する。）で負荷素子が構成されるPチャネルTFT負荷型メモリセルも知られている。この高抵抗負荷型メモリセルおよびPチャネルTFT負荷型メモリセルは、1メモリセルあたりのバルクトランジスタの数が4つであるため、6つのバルクトランジスタで構成されるCMOS型メモリセルに比べてセル面積を小さくできるという利点を有する。

【0005】

なお、ここで「バルクトランジスタ」とは、ポリシリコンからなる抵抗素子やPチャネルTFTのように基板上に形成される薄膜素子に対して、シリコン基板中に作り込まれるトランジスタを示している。

【0006】

また、低電圧化に対応するSRAMとして、特開平7-57476号公報には、アクセストランジスタがPチャネルMOSトランジスタで構成されたSRAMが開示されている。これにより、アクセストランジスタのゲートソース間電圧を電源電圧と等しくできるため、低電圧化によるセル電流の低下を防止することができ、低電圧下における動作が保証される（特許文献1参照）。

【0007】

【特許文献1】

特開平 7 - 5 7 4 7 6 号公報

【0008】

【発明が解決しようとする課題】

近年、電子機器の携帯化や省エネルギー化を背景に、半導体記憶装置に対する低消費電力化および小型化のニーズがますます高まってきている。消費電力は電源電圧の2乗に比例するため、低消費電力化に対しては、電源電圧の低電圧化が有効である。このことから、半導体記憶装置においては、低電圧下においても動作可能であって、かつ、高いパフォーマンスを有する半導体記憶装置を提供することが従来より課題とされている。

【0009】

ここで、「低電圧」とは、3 V未満を示すことが一般的であり、近年は、従来よく用いられていた3.3 Vから2.5 V、1.8 Vへと電源電圧が低電圧化する傾向にある。

【0010】

上記課題に対して、低電圧下で使用されるSRAMにおいては、上述したCMOS型メモリセルが従来より採用されている。その理由は、上述した従来の高抵抗負荷型メモリセルやPチャネルTFT負荷型メモリセルでは、これらの負荷素子の電流駆動能力が小さいためにSNMが小さく、低電圧下での動作が不安定になるところ、CMOS型メモリセルは、CMOSの特性上SNMが大きく、低電圧下においてもCMOSインバータが安定動作するからである。このため、現在の低電圧化の傾向においては、上述した従来の高抵抗負荷型メモリセルやPチャネルTFT負荷型メモリセルが採用されることはほとんどなく、CMOS型メモリセルが主流となっている。

【0011】

しかしながら、低電圧化が進むと、上述した従来のCMOS型メモリセルでも対応できなくなる。すなわち、このCMOS型メモリセルでは、NチャネルMOSトランジスタで構成されるアクセストランジスタのしきい値電圧によって、低電位である電源電位よりも記憶ノードの電位がさらに低下し、もはやドライバト

ランジスタをオンさせることができなくなるからである。

【0012】

ここで、NチャネルMOSトランジスタのしきい値電圧を下げることも考えられるが、しきい値電圧の低下は、リーク電流の増加を招き、消費電力を逆に増加させてしまう。

【0013】

そこで、上述した特開平7-57476号公報に記載されたSRAMは、記憶ノードの電位低下を招かないため、このような課題を解決するものとして有用であるといえるが、上述したように、近年は、低電力化に加え、電子機器の携帯化に伴う小型化をさらに実現する半導体記憶装置の実現が望まれている。

【0014】

さらに、半導体記憶装置の小型化は、メモリセルに蓄えられる電荷量の減少を招くため、半導体記憶装置の小型化に伴うソフトエラーの発生を防止することも重要な課題である。

【0015】

そこで、この発明は、かかる課題を解決するためになされたものであり、その目的は、低電力化に対応でき、かつ、小型化を実現する半導体記憶装置を提供することである。

【0016】

また、この発明の別の目的は、低電力化に対応でき、かつ、小型化を実現し、さらに、ソフトエラーの発生を防止して安定的に動作する半導体記憶装置を提供することである。

【0017】

【課題を解決するための手段】

この発明によれば、半導体記憶装置は、データを記憶するメモリセルと、メモリセルに接続されるワード線およびビット線対とを備え、メモリセルは、第1の負荷素子、およびNチャネルMOSトランジスタからなる第1の駆動素子で構成される第1のインバータと、第1のインバータと交差接続され、第2の負荷素子、およびNチャネルMOSトランジスタからなる第2の駆動素子で構成される第

2のインバータと、第1および第2のインバータの出力ノードにそれぞれ接続される第1および第2の記憶ノードと、ワード線にゲート電極が接続されるPチャネルMOSトランジスタで各々が構成され、第1および第2の記憶ノードをビット線対の一方および他方のビット線にそれぞれ接続する第1および第2のゲート素子とを含み、第1の記憶ノードを構成する第1の金属配線は、基板表面に形成される第1の駆動素子および第1のゲート素子に積層して設けられ、第2の記憶ノードを構成する第2の金属配線は、基板表面に形成される第2の駆動素子および第2のゲート素子に積層して設けられ、第1および第2の負荷素子は、第1および第2の金属配線の上部に設けられる。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【0019】

〔実施の形態1〕

図1は、この発明による半導体記憶装置の構成を概念的に示す全体ブロック図である。

【0020】

図1を参照して、半導体記憶装置10は、行アドレス端子12と、列アドレス端子14と、制御信号端子16と、データ入出力端子18と、電源端子20とを備える。また、半導体記憶装置10は、行アドレスバッファ22と、列アドレスバッファ24と、制御信号バッファ26と、入出力バッファ28とを備える。さらに、半導体記憶装置10は、行アドレスデコーダ30と、列アドレスデコーダ32と、センスアンプ／ライトドライバ34と、マルチプレクサ35と、メモリセルアレイ36と、内部電源発生回路38とを備える。

【0021】

行アドレス端子12および列アドレス端子14は、それぞれ行アドレス信号X0～Xmおよび列アドレス信号Y0～Yn（m，nは自然数）を受ける。制御信号端子16は、書込制御信号／W、出力許可信号／OEおよびチップセレクト信

号／CSを受ける。

【0022】

行アドレスバッファ22は、行アドレス信号X0～Xmを取込み、内部行アドレス信号を発生して行アドレスデコーダ30へ出力する。列アドレスバッファ24は、列アドレス信号Y0～Ynを取込み、内部列アドレス信号を発生して列アドレスデコーダ32へ出力する。制御信号バッファ26は、書込制御信号／W、出力許可信号／OE、およびチップセレクト信号／CSを取込み、書込許可信号WEおよび出力許可信号OEをセンスアンプ／ライトドライバ34へ出力する。

【0023】

データ入出力端子18は、半導体記憶装置10において読み書きされるデータを外部とやり取りする端子であって、データ書込時は外部から入力されるデータDQ0～DQi（iは自然数）を受け、データ読出時はデータDQ0～DQiを外部へ出力する。

【0024】

入出力バッファ28は、データ書込時は、データDQ0～DQiを取込んでラッチし、内部データIDQ0～IDQiをセンスアンプ／ライトドライバ34へ出力する。一方、入出力バッファ28は、データ読出時は、センスアンプ／ライトドライバ34から受ける内部データIDQ0～IDQiをデータ入出力端子18へ出力する。

【0025】

電源端子20は、外部から外部電源電圧ext. Vccおよび設置電圧ext. Vssを受ける。内部電源発生回路38は、電源端子20から外部電源電圧ext. Vccおよび接地電圧ext. Vssを受けて所定の電位からなる電源電圧Vccを発生し、発生した電源電圧Vccを半導体記憶装置10の各内部回路へ出力する。そして、メモリセルアレイ36に含まれるメモリセルも、この電源電圧Vccに基づいて動作する。

【0026】

この半導体記憶装置10においては、電源電圧Vccは1.8Vであり、電源電圧が低電圧化されている。しかしながら、後述するメモリセルの構成の説明で

明らかになるように、この半導体記憶装置 1 0 においては、電源電圧 V_{cc} がこのような低電圧であっても、メモリセルを構成するトランジスタのしきい値電圧を下げることなく、メモリセルは安定して動作する。

【 0 0 2 7 】

行アドレスデコーダ 3 0 は、行アドレス信号 $X_0 \sim X_m$ に対応するメモリセルアレイ 3 6 上のワード線を選択する。行アドレスデコーダ 3 0 は、非選択のワード線に電源電圧 V_{cc} を印加し、選択されたワード線に接地電圧 GND を印加する。また、列アドレスデコーダ 3 2 は、列アドレス信号 $Y_0 \sim Y_n$ に対応するメモリセルアレイ 3 6 上のビット線対を選択するための列選択信号をマルチプレクサ 3 5 へ出力する。

【 0 0 2 8 】

センスアンプ／ライトドライバ 3 4 は、データ書込時は、制御信号バッファ 2 6 から書込許可信号 WE を受け、入出力バッファ 2 8 から受ける内部データ $IDQ_0 \sim IDQ_i$ の論理レベルに応じて、各内部データに対応する I/O 線対のいずれか一方の I/O 線に電源電圧 V_{cc} を印加し、他方の I/O 線に接地電圧 GND を印加する。また、センスアンプ／ライトドライバ 3 4 は、データ読出時は、制御信号バッファ 2 6 から出力許可信号 OE を受け、読出データに対応して I/O 線対に発生する微小の電圧変化を検出／増幅し、読出データの論理レベルを判定して読出データを入出力バッファ 2 8 へ出力する。

【 0 0 2 9 】

マルチプレクサ 3 5 は、列アドレスデコーダ 3 2 から受ける列選択信号に応じて、対応するビット線対を I/O 線対と接続する。

【 0 0 3 0 】

メモリセルアレイ 3 6 は、複数のメモリセルが行列状に配置された記憶素子群であり、各行にそれぞれ対応する複数のワード線を介して行アドレスデコーダ 3 0 と接続され、また、各列にそれぞれ対応する複数のビット線対を介してマルチプレクサ 3 5 と接続される。

【 0 0 3 1 】

この半導体記憶装置 1 0 においては、データ書込時は、行アドレス信号 $X_0 \sim$

X_mに応じたワード線に行アドレスデコーダ30によって接地電圧GNDが印加され、列アドレス信号Y₀～Y_nに応じたビット線対が列アドレスデコーダ30によって選択されてマルチプレクサ35によってI/O線対と接続される。そして、センスアンプ/ライトドライバ34は、入出力バッファ28から受ける内部データIDQ₀～IDQ_iをI/O線対に書込み、これによって、行アドレス信号X₀～X_mおよび列アドレス信号Y₀～Y_nにより選択されたメモリセルに内部データIDQ₀～IDQ_iが書込まれる。

【0032】

一方、データ読出時は、各ビット線対が電源電位V_{cc}にプリチャージされた後、列アドレス信号Y₀～Y_nに応じたビット線対が列アドレスデコーダ30によって選択され、選択されたビット線対がマルチプレクサ35によってI/O線対と接続される。そして、行アドレス信号X₀～X_mに応じたワード線に行アドレスデコーダ30によって接地電位GNDが印加されると、選択されたメモリセルからビット線対およびI/O線対にデータが読出される。

【0033】

そして、センスアンプ/ライトドライバ34は、読出データに対応してI/O線対に発生した微小の電圧変化を検出/増幅し、読出データを入出力バッファ28へ出力する。これによって、行アドレス信号X₀～X_mおよび列アドレス信号Y₀～Y_nにより選択されたメモリセルから内部データIDQ₀～IDQ_iが読出される。

【0034】

図2は、図1に示したメモリセルアレイ36上に行列状に配置されるメモリセルの構成を示す回路図である。

【0035】

図2を参照して、メモリセル100は、NチャネルMOSトランジスタ102、104と、PチャネルMOSトランジスタ106、108と、PチャネルTFT110、112と、記憶ノード114、116とを備える。

【0036】

PチャネルTFT110は、電源電圧V_{cc}が印加される電源ノード118と

記憶ノード114との間に接続され、ゲートが記憶ノード116に接続される。
PチャネルTFT112は、電源ノード118と記憶ノード116との間に接続され、ゲートが記憶ノード114に接続される。

【0037】

PチャネルTFT110, 112は、ポリシリコンからなるスイッチング機能を備えた抵抗素子であり、T（テラ、「T」は 10^{12} を表わす。） Ω オーダのオフ抵抗とG（ギガ、「G」は 10^9 を表わす。） Ω オーダのオン抵抗とを有する高抵抗素子である。

【0038】

NチャネルMOSトランジスタ102は、記憶ノード114と接地電位GNDが印加される接地ノード120との間に接続され、ゲートが記憶ノード116に接続される。NチャネルMOSトランジスタ104は、記憶ノード116と接地ノード120との間に接続され、ゲートが記憶ノード114に接続される。

【0039】

NチャネルMOSトランジスタ102, 104は、それぞれ記憶ノード114, 116の電荷を引抜くドライバトランジスタである。なお、NチャネルMOSトランジスタ102, 104は、それぞれ「第1の駆動素子」および「第2の駆動素子」を構成する。

【0040】

PチャネルTFT110およびNチャネルMOSトランジスタ102、ならびにPチャネルTFT112およびNチャネルMOSトランジスタ104は、それぞれインバータを構成し、この2つのインバータが交差接続されることによってフリップフロップが構成されている。これによって、記憶ノード114, 116において相補なデータが双安定状態でラッチされ、メモリセル100にデータが記憶される。

【0041】

PチャネルMOSトランジスタ106は、ビット線122と記憶ノード114との間に接続され、ゲートがワード線126に接続される。PチャネルMOSトランジスタ108は、ビット線122に相補なビット線124と記憶ノード11

6との間に接続され、ゲートがワード線126に接続される。

【0042】

PチャネルMOSトランジスタ106, 108は、ワード線126に接地電位GNDが印加されたときに、メモリセル100をそれぞれビット線対122, 124に接続するアクセストランジスタである。なお、PチャネルMOSトランジスタ106, 108は、それぞれ「第1のゲート素子」および「第2のゲート素子」を構成する。

【0043】

次に、このメモリセル100の動作について説明する。

(1) 読出動作

メモリセル100にデータ“1”が書込まれている場合、すなわち、記憶ノード114, 116の電位がそれぞれ“H（論理ハイ）レベル”, “L（論理ロー）レベル”に相当する電位の場合の読出動作について説明する。

【0044】

読出動作に先立って、ビット線122, 124が電源電位Vccにプリチャージされる。その後、ワード線126が選択され、ワード線126に接地電位GNDが印加されると、アクセストランジスタであるPチャネルMOSトランジスタ106, 108がオンする。そうすると、ビット線124からNチャネルMOSトランジスタ108を介して記憶ノード116に電荷が流れ込み、この流れ込んだ電荷は、NチャネルMOSトランジスタ104を介して放電される。これによって、ビット線124に電位変化が生じ、この変化を図示されないセンスアンプにより検出することによって、メモリセル100の記憶データ“1”が読出される。

【0045】

ここで、このメモリセル100においては、負荷素子がPチャネルTFT110, 112からなり、TFTは、電流駆動能力がバルクトランジスタに比べて大きく劣る。したがって、データ読出動作においては、負荷素子はほとんど機能せず、メモリセル100の動作特性は、アクセストランジスタおよびドライバトランジスタからなるCMOSインバータの特性が支配的になる。

【0046】

図3は、図2に示したメモリセル100のデータ読出時におけるSNM特性図である。

【0047】

図3を参照して、横軸および縦軸は、それぞれ記憶ノード114, 116の電圧を示し、点S1, S2は、安定点を示す。曲線C1は、アクセストランジスタであるPチャネルMOSトランジスタ108およびドライバトランジスタであるNチャネルMOSトランジスタ104からなるインバータの伝達特性を示し、曲線C2は、アクセストランジスタであるPチャネルMOSトランジスタ106およびドライバトランジスタであるNチャネルMOSトランジスタ102からなるインバータの伝達特性を示す。

【0048】

このメモリセル100は、アクセストランジスタがPチャネルMOSトランジスタで構成されるため、データ読出時は、アクセストランジスタおよびドライバトランジスタによってCMOSインバータが構成される。したがって、電源電圧Vccが低電圧であっても、図3に示すように、SNM（曲線C1, C2内部に形成される円の大きさがマージンを示す。）が十分に確保され、安定したデータ読出動作が実現される。

【0049】

一方、図4は、アクセストランジスタをNチャネルMOSトランジスタで構成した場合のメモリセルのデータ読出時におけるSNM特性図である。

【0050】

図4を参照して、横軸および縦軸は、それぞれ記憶ノード114, 116の電圧を示し、点S3, S4は、安定点を示す。曲線C3, C4は、アクセストランジスタおよびドライバトランジスタからなる各インバータの伝達特性を示す。このメモリセルにおいては、データ読出時は、アクセストランジスタおよびドライバトランジスタによってE-Eインバータが構成される。そして、データ読出時におけるこのメモリセルの動作特性は、このE-Eインバータによる動作特性が支配的になる。

【0051】

したがって、図に示されるように、安定点S3, S4は、電源電圧VccからNチャネルMOSトランジスタのしきい値電圧Vthだけ低い値となり、特に、電源電圧Vccが低電圧になると、SNMマージンは極端に小さくなり、安定したデータ読出動作が実現できなくなる。

【0052】

なお、上述した例では、メモリセル100にデータ“1”が記憶されている場合について説明したが、データ“0”が記憶されている場合についても同様に考えることができる。

【0053】

(2) 書込動作

再び図2を参照して、メモリセル100にデータ“0”を書込む場合、すなわち、記憶ノード114, 116の電位をそれぞれ“Lレベル”, “Hレベル”に相当する電位にする場合について説明する。

【0054】

ワード線ドライバ（図示せず）によってワード線126に接地電圧GNDが印加され、PチャネルMOSトランジスタ106, 108がオンした状態で、センスアンプ／ライトドライバ34（図示せず）によってビット線122, 124にそれぞれ接地電圧GNDおよび電源電圧Vccが印加されると、ビット線124からPチャネルMOSトランジスタ108を介して記憶ノード116に電荷が供給される。一方、記憶ノード114からはNチャネルMOSトランジスタ106を介してビット線122に電荷が放電され、PチャネルTFT110, 112およびNチャネルMOSトランジスタ102, 104で構成されるフリップフロップの状態が設定される。

【0055】

なお、上述した例では、メモリセル100にデータ“0”を書込む場合について説明したが、データ“1”を書込む場合についても同様に考えることができる。

【0056】

次に、図 2 に示したメモリセル 1 0 0 の構造について説明する。負荷素子を構成する P チャネル T F T 1 1 0, 1 1 2 は、バルクトランジスタである N チャネル M O S トランジスタ 1 0 2, 1 0 4 および P チャネル M O S トランジスタ 1 0 6, 1 0 8 の上部に形成される。これによって、このメモリセル 1 0 0 においては、低電圧化とともに小型化も同時に実現される。

【 0 0 5 7 】

図 5 は、図 2 に示したメモリセル 1 0 0 の構造を示す平面図である。

図 5 を参照して、メモリセル 1 0 0 は、点線で示される不純物領域 2 0 2 ~ 2 1 6 と、ゲート電極 2 1 8 と、L 字型のゲート電極 2 2 0, 2 2 2 と、埋込配線 2 2 4 ~ 2 3 0 と、実線で示されるビット線コンタクト部 2 3 2, 2 3 4 と、実線で示される接続開口部 2 3 6, 2 3 8 と、一点鎖線で示される T F T ゲート部 2 4 0, 2 4 2 とを含む。なお、後の断面図において説明するように、T F T ゲート部 2 4 0 と埋込配線 2 2 4 との間には T F T を構成するポリシリコン膜（ソース／ドレイン部）が形成されるが、図面による説明の関係上、その記載を省略している。

【 0 0 5 8 】

不純物領域 2 0 2, 2 1 0 は、それぞれビット線コンタクト部 2 3 2, 2 3 4 に接続される。不純物領域 2 0 4, 2 0 6 は、埋込配線 2 2 4 に接続され、不純物領域 2 1 2, 2 1 4 は、埋込配線 2 2 6 に接続される。また、不純物領域 2 0 8, 2 1 6 は、それぞれ埋込配線 2 2 8, 2 3 0 に接続される。

【 0 0 5 9 】

埋込配線 2 2 4 は、接続開口部 2 3 6 を介して図示されない P チャネル T F T 1 1 0 に接続され、さらに、P チャネル T F T 1 1 2 のゲートを構成する T F T ゲート部 2 4 2 に接続される。埋込配線 2 2 6 は、接続開口部 2 3 8 を介して図示されない P チャネル T F T 1 1 2 に接続され、さらに、P チャネル T F T 1 1 0 のゲートを構成する T F T ゲート部 2 4 0 に接続される。T F T ゲート部 2 4 0, 2 4 2 を含む P チャネル T F T 1 1 0, 1 1 2 が形成される層の上部には、それぞれビット線コンタクト部 2 3 2, 2 3 4 に接続される図示されないビット線 1 2 2, 1 2 4 が形成されている。

【0060】

なお、接続開口部236, 238は、「第1の接続部」, 「第2の接続部」を構成する。

【0061】

埋込配線224およびゲート電極222の重なり部分である領域244は、埋込配線224およびゲート電極222が電氣的に接続されている部分である。すなわち、ゲート電極は、絶縁体で周囲が覆われているところ、領域244においては、ゲート電極222の周囲の絶縁体が除去されており、埋込配線224がゲート電極222に直接接合されている。同様に、埋込配線226およびゲート電極220の重なり部分である領域246は、埋込配線226およびゲート電極220が電氣的に接続されている部分である。

【0062】

また、埋込配線224は、ゲート電極218, 220とはゲート電極218, 220の周囲に設けられる絶縁体によって絶縁されている。さらに、埋込配線226は、ゲート電極218, 222とはゲート電極218, 222の周囲に設けられる絶縁体によって絶縁されている。この埋込配線224, 226は、それぞれ記憶ノード114, 116を構成する。

【0063】

不純物領域202, 204, 210, 212は、半導体基板上に形成されるN型ウェル内に設けられるP型の不純物領域である。不純物領域202, 204およびゲート電極218は、アクセストランジスタであるPチャネルMOSトランジスタ106を構成する。不純物領域210, 212およびゲート電極218は、アクセストランジスタであるPチャネルMOSトランジスタ108を構成する。

【0064】

不純物領域206, 208, 214, 216は、半導体基板上に形成されるP型ウェル内に設けられるN型の不純物領域である。不純物領域206, 208およびゲート電極220は、ドライバトランジスタであるNチャネルMOSトランジスタ102を構成する。不純物領域214, 216およびゲート電極222は

、ドライバトランジスタであるNチャネルMOSトランジスタ104を構成する。

【0065】

なお、一点鎖線で示される領域A1は、このメモリセル100の面積を示している。

【0066】

図6は、図5に示したメモリセル100の断面V I - V Iの構造を示す断面図である。

【0067】

図6を参照して、半導体基板252上にN型ウェル254およびP型ウェル256が設けられる。N型ウェル254内には、不純物領域202、204が設けられ、P型ウェル256内には、不純物領域206が設けられる。フィールド酸化膜258、259は、N型ウェル254およびP型ウェル256上に形成される各素子を絶縁分離する。

【0068】

不純物領域202、204の間に形成されるチャネル形成領域の上部にゲート酸化膜260を介してゲート電極218が設けられる。また、フィールド酸化膜258、259の上部には、それぞれゲート電極220、222が設けられる。ゲート電極218、220は、それぞれ絶縁体261、262で周囲が覆われ、ゲート電極222は、埋込配線224に接合される部分を除いて絶縁体264で周囲が覆われている。ここで、このゲート電極222が埋込配線224と接合されている部分が図5に示した領域244に相当する。

【0069】

記憶ノード114を構成する埋込配線224は、不純物領域204、絶縁体262で覆われたゲート電極220、不純物領域206、およびゲート電極222の上部に設けられる。そして、埋込配線224のさらに上部には、層間絶縁膜268を介してポリシリコン膜270が形成される。このポリシリコン膜270は、接続開口部236を介して埋込配線224に接続されている。ポリシリコン膜270のさらに上部には、絶縁膜を介してTFTゲート部240が設けられ、ポ

リシリコン膜 2 7 0 および T F T ゲート部 2 4 0 によって P チャネル T F T 1 1 0 が構成される。

【 0 0 7 0 】

ポリシリコン膜 2 7 0 および T F T ゲート部 2 4 0 の上部には、層間絶縁膜 2 7 4 を介してビット線 1 2 2 を構成する金属配線 2 7 6 が設けられ、金属配線 2 7 6 は、ビット線コンタクト部 2 7 2, 2 3 2 を介して不純物領域 2 0 2 と接続される。なお、埋込配線 2 2 4 およびビット線コンタクト部 2 3 2 と同層のその他の部分は、絶縁体 2 6 6 で構成される。

【 0 0 7 1 】

このように、このメモリセル 1 0 0 においては、ウェル上に形成されたバルクトランジスタの上部に記憶ノードを構成する埋込配線層を設け、さらにその上部に負荷素子である P チャネル T F T を積層する構成としたので、メモリセル 1 0 0 の平面的な占有面積（図 5 に示した領域 A 1）は縮小される。

【 0 0 7 2 】

一方、図 7 は、アクセストランジスタが N チャネル M O S トランジスタで構成され、負荷素子が P チャネル M O S トランジスタで構成される場合のメモリセルの構造を示す平面図である。

【 0 0 7 3 】

図 7 を参照して、このメモリセルは、点線で示される不純物領域 3 0 2 ~ 3 1 7 と、ゲート電極 3 1 8 と、T 字型のゲート電極 3 2 0 と、L 字型のゲート電極 3 2 2 と、埋込配線 3 2 4 ~ 3 3 0 と、実線で示されるビット線コンタクト部 3 3 2, 3 3 4 とを含む。これらの上部には、ビット線コンタクト部 3 3 2, 3 3 4 に接続される図示されないビット線対が形成されている。

【 0 0 7 4 】

不純物領域 3 0 2, 3 1 0 は、それぞれビット線コンタクト部 3 3 2, 3 3 4 に接続される。不純物領域 3 0 4, 3 0 6, 3 0 7 は、埋込配線 3 2 4 に接続され、不純物領域 3 1 2, 3 1 4, 3 1 5 は、埋込配線 3 2 6 に接続される。さらに、埋込配線 3 2 8, 3 3 0 は、それぞれ不純物領域 3 0 9, 3 1 7 に接続される。

【0075】

埋込配線324およびゲート電極322の重なり部分である領域336は、埋込配線324およびゲート電極322が電氣的に接続されている部分である。すなわち、ゲート電極は、絶縁体で周囲が覆われているところ、領域336においては、ゲート電極322の周囲の絶縁体が除去されており、埋込配線324がゲート電極322に直接接合されている。同様に、埋込配線326およびゲート電極320の重なり部分である領域338は、埋込配線326およびゲート電極320が電氣的に接続されている部分である。

【0076】

また、埋込配線324は、ゲート電極318、320とはゲート電極318、320の周囲に設けられる絶縁体によって絶縁されている。さらに、埋込配線326は、ゲート電極318、322とはゲート電極318、322の周囲に設けられる絶縁体によって絶縁されている。この埋込配線324、326は、このメモリセルにおける記憶ノードを構成する。

【0077】

不純物領域302～306、308、310～314、316は、半導体基板上に形成されるP型ウェル内に設けられるN型の不純物領域である。不純物領域302、304およびゲート電極318、ならびに不純物領域310、312およびゲート電極318は、それぞれアクセストランジスタであるNチャネルMOSトランジスタを構成する。また、不純物領域306、308およびゲート電極320、ならびに不純物領域314、316およびゲート電極322は、それぞれドライバトランジスタであるNチャネルMOSトランジスタを構成する。

【0078】

不純物領域307、309、315、317は、半導体基板上に形成されるN型ウェル内に設けられるP型の不純物領域である。不純物領域307、309およびゲート電極320、ならびに不純物領域315、317およびゲート電極322は、それぞれ負荷素子であるPチャネルMOSトランジスタを構成する。

【0079】

なお、一点鎖線で示される領域A2は、このメモリセルの面積を示している。

図8は、図7に示したメモリセルの断面V I I I - V I I Iの構造を示す断面図である。

【0080】

図8を参照して、半導体基板352上にP型ウェル354およびN型ウェル356が設けられる。P型ウェル354内には、不純物領域302～306が設けられ、N型ウェル356内には、不純物領域307が設けられる。フィールド酸化膜358～360は、P型ウェル354およびN型ウェル356上に形成される各素子を絶縁分離する。

【0081】

不純物領域302、304の間に形成されるチャネル形成領域の上部にゲート酸化膜361を介してゲート電極318が設けられる。また、フィールド酸化膜359、360の上部には、それぞれゲート電極320、322が設けられる。ゲート電極318、320は、それぞれ絶縁体361、362で周囲が覆われ、ゲート電極322は、埋込配線324と接続される部分を除いて絶縁体364で周囲が覆われている。ここで、このゲート電極322が埋込配線324と接合されている部分が図7に示した領域336に相当する。

【0082】

記憶ノードを構成する埋込配線324は、不純物領域304、フィールド酸化膜358、不純物領域306、絶縁体363で覆われたゲート電極320、不純物領域307、およびゲート電極322の上部に設けられる。そして、埋込配線324のさらに上部には、層間絶縁膜370を介してビット線を構成する金属配線372が設けられ、金属配線372は、ビット線コンタクト部368、332を介して不純物領域302と接続される。なお、埋込配線324およびビット線コンタクト部332と同層のその他の部分は、絶縁体366で構成される。

【0083】

再び図5および図7を参照して、両メモリセルの面積を示す領域A1、A2を比較すると、領域A1は、領域A2の約0.6倍である。すなわち、この発明におけるメモリセル100は、上述した積層構造によって、負荷素子がPチャネルMOSトランジスタで構成されるメモリセルに比べて、面積が約4割削減される

【0084】

以上のように、実施の形態1による半導体記憶装置10によれば、負荷素子およびアクセストランジスタをそれぞれPチャネルTFTおよびPチャネルMOSトランジスタで構成し、記憶ノードを構成する埋込配線および負荷素子を構成するPチャネルTFTをバルクトランジスタの上層に積層する構造としたので、低電圧化に対応でき、かつ、メモリセル100を大幅に小型化することができる。

【0085】

〔実施の形態2〕

実施の形態2では、実施の形態1におけるメモリセルにおいて、記憶ノードにキャパシタが設けられる。これによって、記憶ノードの容量が増加し、ソフトウェア耐性が向上する。その結果、メモリセルの動作が安定する。

【0086】

実施の形態2による半導体記憶装置の全体構成は、図1に示した半導体記憶装置10の構成と同じであるので、その説明は繰返さない。

【0087】

図9は、実施の形態2におけるメモリセルの構成を示す回路図である。

図9を参照して、メモリセル100Aは、実施の形態1におけるメモリセル100の構成において、キャパシタ128、130と、定電位ノード132とをさらに備える。キャパシタ128は、記憶ノード114と定電位ノード132との間に接続される。キャパシタ130は、記憶ノード116と定電位ノード132との間に接続される。メモリセル100Aのその他の回路構成は、メモリセル100の構成と同じである。

【0088】

このキャパシタ128、130は、基板の上部に積層して形成され、記憶ノード114、116を構成する埋込配線とコンタクトホールを介してそれぞれ接続される。これによって、記憶ノード114、116を構成する埋込配線の面積を増加させることなく、記憶ノード114、116の容量を増加させることができる。すなわち、キャパシタ128、130が設けられることによって、メモリセ

ル 1 0 0 に比べて面積を増加させることなく、メモリセル 1 0 0 A のソフトエラー耐性を向上させることができ、メモリセル 1 0 0 A の動作を安定化することができる。

【 0 0 8 9 】

以上のように、実施の形態 2 による半導体記憶装置によれば、装置の小型化の伴うソフトエラー対策として、記憶ノードにキャパシタを接続して記憶ノードの容量を増加させたので、低電圧化に対応可能であり、かつ、小型化が実現され、さらに、動作も安定化する。

【 0 0 9 0 】

〔実施の形態 3〕

実施の形態 3 では、実施の形態 1 におけるメモリセルにおいて、ポリシリコンからなる抵抗値の高い抵抗素子で負荷素子が構成される。

【 0 0 9 1 】

実施の形態 3 による半導体記憶装置の全体構成は、図 1 に示した半導体記憶装置の構成と同じであるので、その説明は繰返さない。

【 0 0 9 2 】

図 1 0 は、実施の形態 3 におけるメモリセルの構成を示す回路図である。

図 1 0 を参照して、メモリセル 1 0 0 B は、実施の形態 1 におけるメモリセル 1 0 0 の構成において、PチャネルTFT 1 1 0、1 1 2 に代えて、それぞれポリシリコンからなる高抵抗素子 1 3 4、1 3 6 を備える。メモリセル 1 0 0 B のその他の回路構成は、メモリセル 1 0 0 の構成と同じである。

【 0 0 9 3 】

このポリシリコンからなる高抵抗素子 1 3 4、1 3 6 も、メモリセル 1 0 0 におけるPチャネルTFT 1 1 0、1 1 2 と同様に、記憶ノード 1 1 4、1 1 6 を構成する埋込配線の上部に層間絶縁膜を介してポリシリコン膜を積層することによって形成される。したがって、このメモリセル 1 0 0 B も、実施の形態 1 におけるメモリセル 1 0 0 と同程度の面積からなり、図 7 に示したメモリセルに比べて、面積が約 4 割削減される。

【 0 0 9 4 】

なお、抵抗素子 1 3 4, 1 3 6 の抵抗値の範囲は、ドライバトランジスタである N チャネル MOS トランジスタ 1 0 2, 1 0 4 のリーク電流や、このメモリセル 1 0 0 B が搭載される半導体記憶装置のメモリ容量およびスタンバイ電流（スタンバイ期間中の消費電流）の仕様などによって決定される。

【 0 0 9 5 】

以上のように、実施の形態 3 による半導体記憶装置によっても、実施の形態 1 による半導体記憶装置と同様の効果が得られる。

【 0 0 9 6 】

〔実施の形態 4〕

実施の形態 4 では、実施の形態 3 におけるメモリセルにおいて、記憶ノードにキャパシタが設けられる。

【 0 0 9 7 】

実施の形態 4 による半導体記憶装置の全体構成は、図 1 に示した半導体記憶装置の構成と同じであるので、その説明は繰返さない。

【 0 0 9 8 】

図 1 1 は、実施の形態 4 におけるメモリセルの構成を示す回路図である。

図 1 1 を参照して、メモリセル 1 0 0 C は、実施の形態 3 におけるメモリセル 1 0 0 B の構成において、キャパシタ 1 2 8, 1 3 0 と、定電位ノード 1 3 2 とをさらに備える。キャパシタ 1 2 8, 1 3 0 については、実施の形態 2 において既に説明したので、その説明は繰返さない。また、メモリセル 1 0 0 C のその他の回路構成も、メモリセル 1 0 0 B の構成と同じであるので、説明は繰返さない。

【 0 0 9 9 】

この実施の形態 4 においても、実施の形態 2 と同様に、キャパシタ 1 2 8, 1 3 0 は、基板の上部に積層して形成され、記憶ノード 1 1 4, 1 1 6 を構成する埋込配線とコンタクトホールを介してそれぞれ接続される。これによって、記憶ノード 1 1 4, 1 1 6 を構成する埋込配線の面積を増加させることなく、記憶ノード 1 1 4, 1 1 6 の容量を増加させることができ、メモリセル 1 0 0 C のソフトエラー耐性が向上する。

【0100】

以上のように、実施の形態4による半導体記憶装置によっても、実施の形態2による半導体記憶装置と同様の効果が得られる。

【0101】

なお、上記の実施の形態では、内部電源発生回路38が発生する電源電圧 V_{cc} は1.8Vとしたが、電源電圧 V_{cc} は、この大きさに限られるものではない。そして、特に、電源電圧 V_{cc} が3Vよりも低い低電圧環境下において、この発明による半導体記憶装置は、その効果を発揮することができる。

【0102】

また、上記の実施の形態では、半導体記憶装置10は、外部電源電圧 e_{xt} 、 V_{cc} および接地電圧 e_{xt} 、 V_{ss} を受けて低電位の電源電圧 V_{cc} を発生する内部電源発生回路38を備えるものとしたが、内部電源発生回路38を備えることなく、外部から低電位の電圧を受け、それを直接電源電圧 V_{cc} として用いてもよい。

【0103】

さらに、上記実施の形態2, 4では、記憶ノード114, 116にそれぞれキャパシタ128, 130を接続することによって記憶ノード114, 116の容量を増加させるものとしたが、記憶ノード114, 116を構成する埋込配線の層を厚くすることが構造上可能であれば、キャパシタ128, 130を設けることなく、埋込配線層の厚みを増すことによって、記憶ノード114, 116の容量を増加させてもよい。この場合も、実施の形態1におけるメモリセル100に比べて面積を増加させることなく、メモリセルのソフトエラー耐性を向上させることができ、メモリセルの動作を安定化することができる。

【0104】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0105】

【発明の効果】

この発明による半導体記憶装置によれば、メモリセルの構成において、PチャネルTFTまたはポリシリコンからなる高抵抗素子で負荷素子を構成し、かつ、アクセストランジスタをPチャネルMOSトランジスタで構成し、記憶ノードを構成する埋込配線および負荷素子をバルクトランジスタの上部に積層する構造としたので、低電圧化に対応でき、かつ、メモリセルを大幅に小型化することができる。

【図面の簡単な説明】

【図 1】 この発明による半導体記憶装置の構成を概念的に示す全体ブロック図である。

【図 2】 図 1 に示すメモリセルアレイ上に行列状に配置されるメモリセルの構成を示す回路図である。

【図 3】 図 2 に示すメモリセルのデータ読出時におけるSNM特性図である。

【図 4】 アクセストランジスタをNチャネルMOSトランジスタで構成した場合のメモリセルのデータ読出時におけるSNM特性図である。

【図 5】 図 2 に示すメモリセルの構造を示す平面図である。

【図 6】 図 5 に示したメモリセルの断面V I - V I の構造を示す断面図である。

【図 7】 アクセストランジスタがNチャネルMOSトランジスタで構成され、負荷素子がPチャネルMOSトランジスタで構成された場合のメモリセルの構造を示す平面図である。

【図 8】 図 7 に示すメモリセルの断面V I I I - V I I I の構造を示す断面図である。

【図 9】 実施の形態 2 におけるメモリセルの構成を示す回路図である。

【図 1 0】 実施の形態 3 におけるメモリセルの構成を示す回路図である。

【図 1 1】 実施の形態 4 におけるメモリセルの構成を示す回路図である。

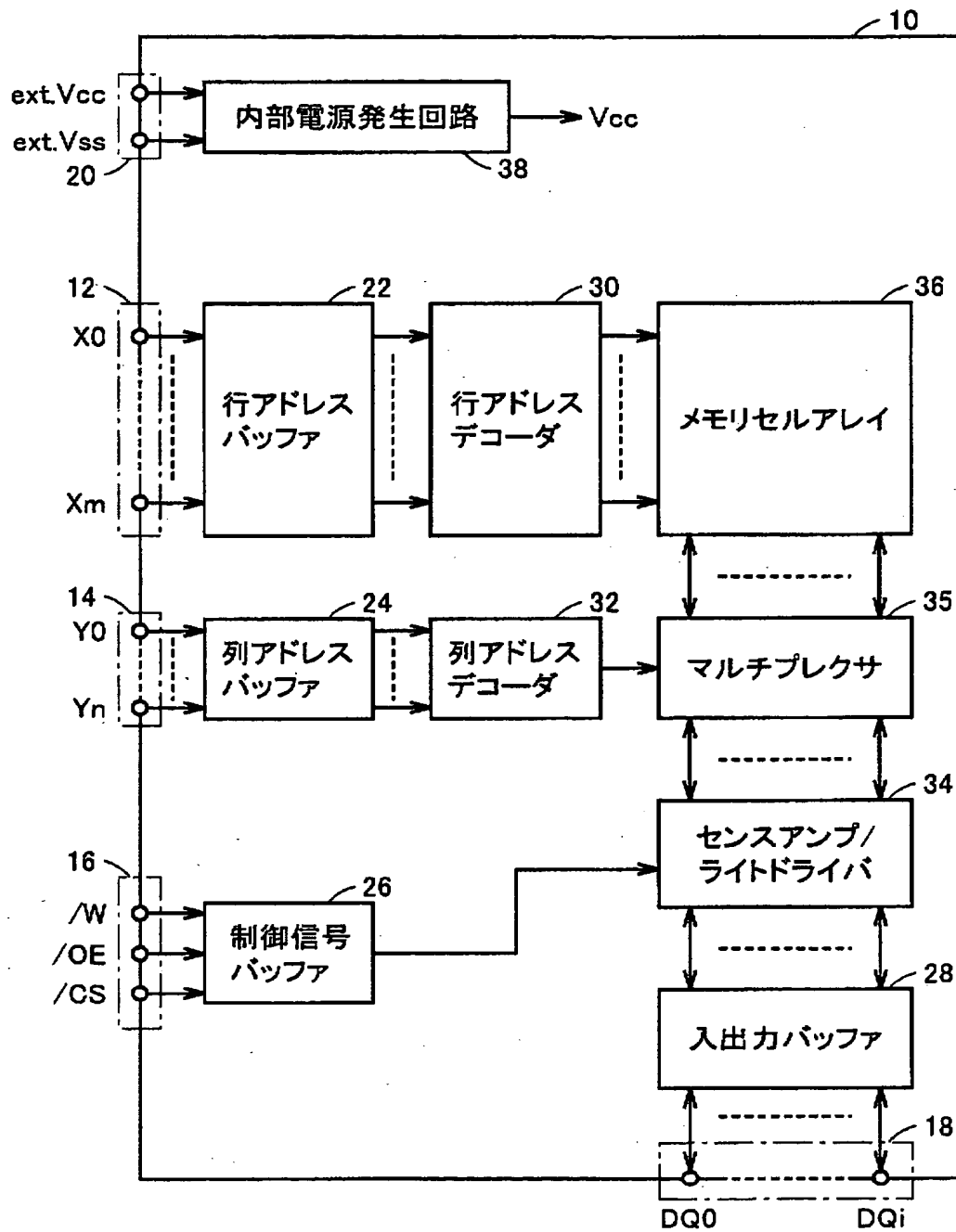
【符号の説明】

1 0 半導体記憶装置、 1 2 行アドレス端子、 1 4 列アドレス端子、 1 6

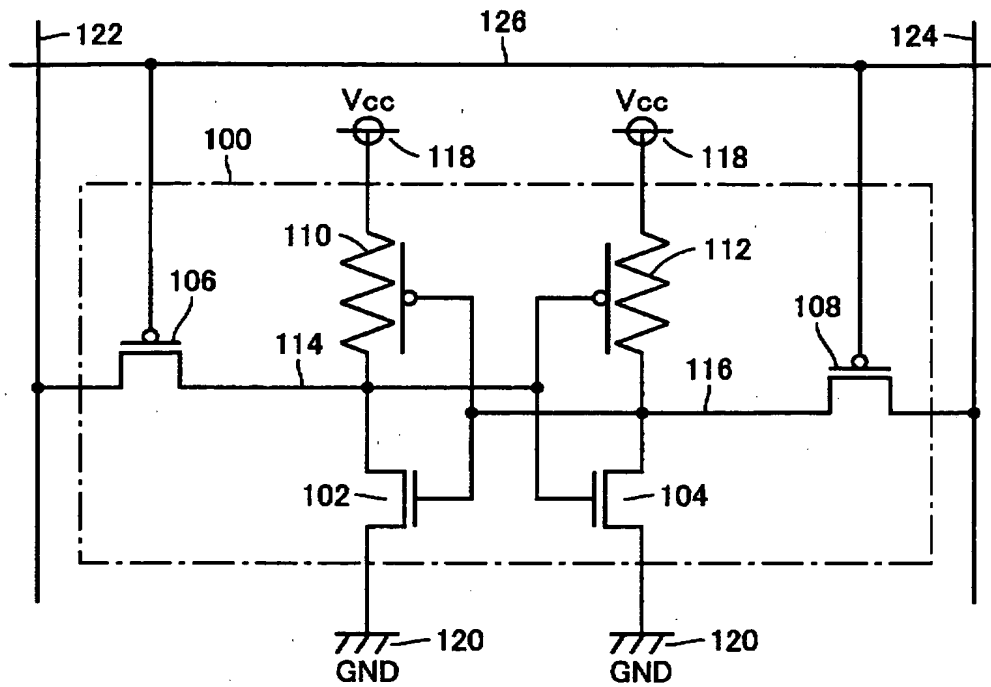
制御信号端子、18 データ入出力端子、20 電源端子、22 行アドレスバッファ、24 列アドレスバッファ、26 制御信号バッファ、28 入出力バッファ、30 行アドレスデコーダ、32 列アドレスデコーダ、34 センサンプ/ライトドライバ、35 マルチプレクサ、36 メモリセルアレイ、38 内部電源発生回路、100, 100A~100C メモリセル、102, 104 NチャネルMOSトランジスタ、106, 108 PチャネルMOSトランジスタ、110, 112 PチャネルTFT、114, 116 記憶ノード、118 電源ノード、120 接地ノード、122, 124 ビット線、126 ワード線、128, 130 キャパシタ、132 定電位ノード、134, 136 抵抗素子、202~216, 302~317 不純物領域、218~222, 318~322 ゲート電極、224~230, 324~330 埋込配線、232, 234, 272, 332, 334 ビット線コンタクト部、236, 238 接続開口部、240, 242 TFTゲート部、244, 246, 336, 338 領域、252, 352 半導体基板、254, 356 N型ウェル、256, 354 P型ウェル、258, 259, 358~360 フィールド酸化膜、260, 361 ゲート酸化膜、261~266, 362~366 絶縁体、268, 274, 370 層間絶縁膜、270 ポリシリコン膜、276, 372 金属配線。

【書類名】 図面

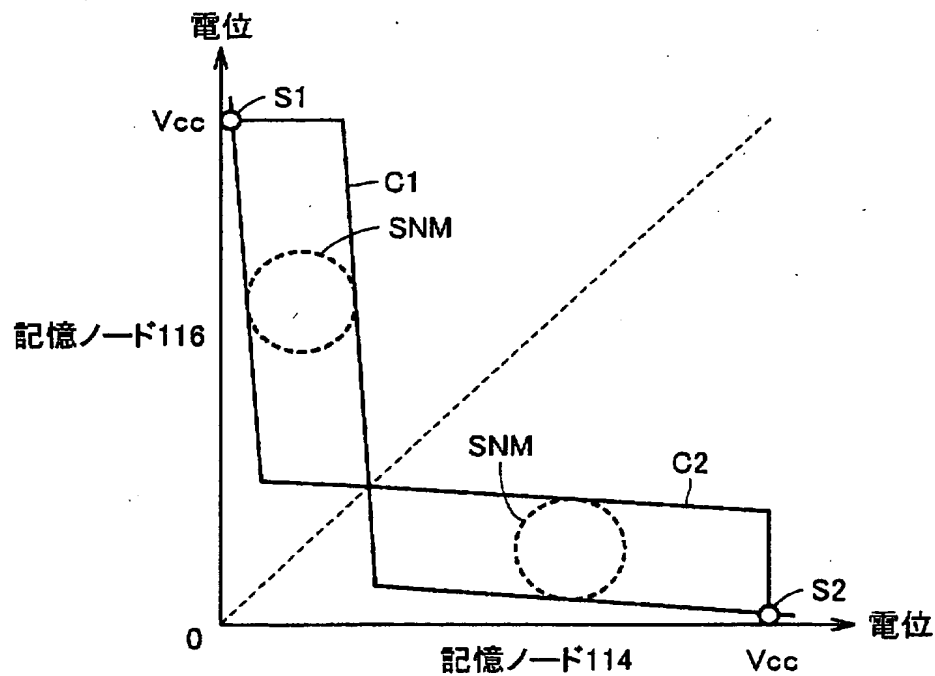
【図 1】



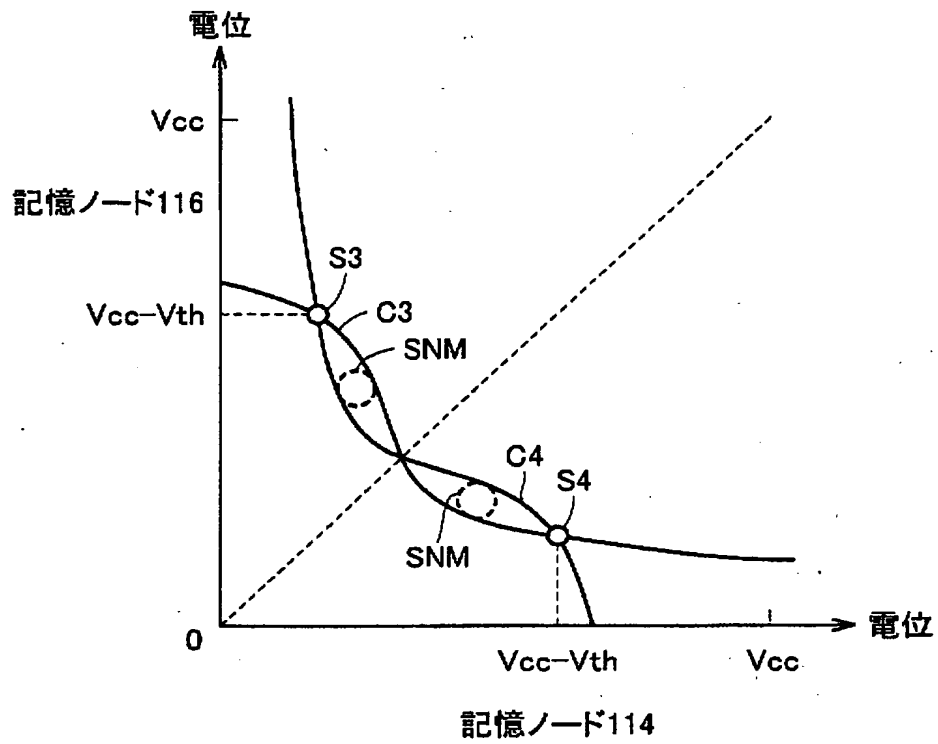
【図 2】



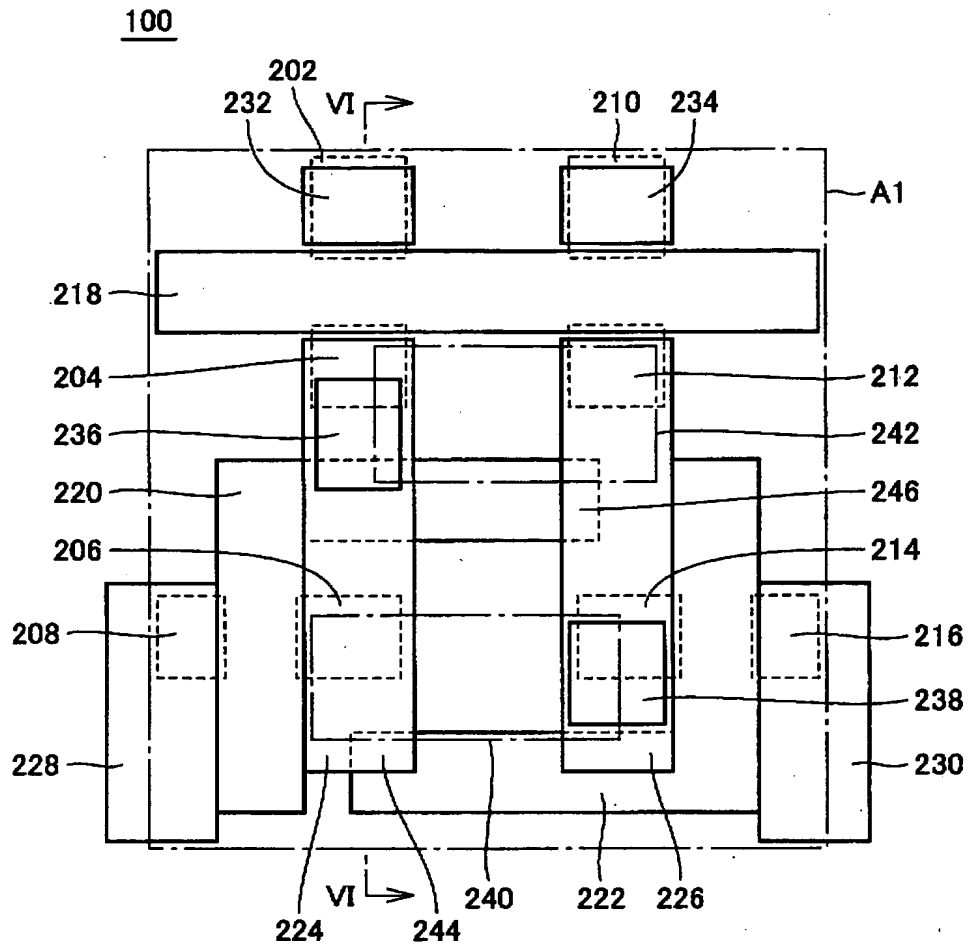
【図 3】



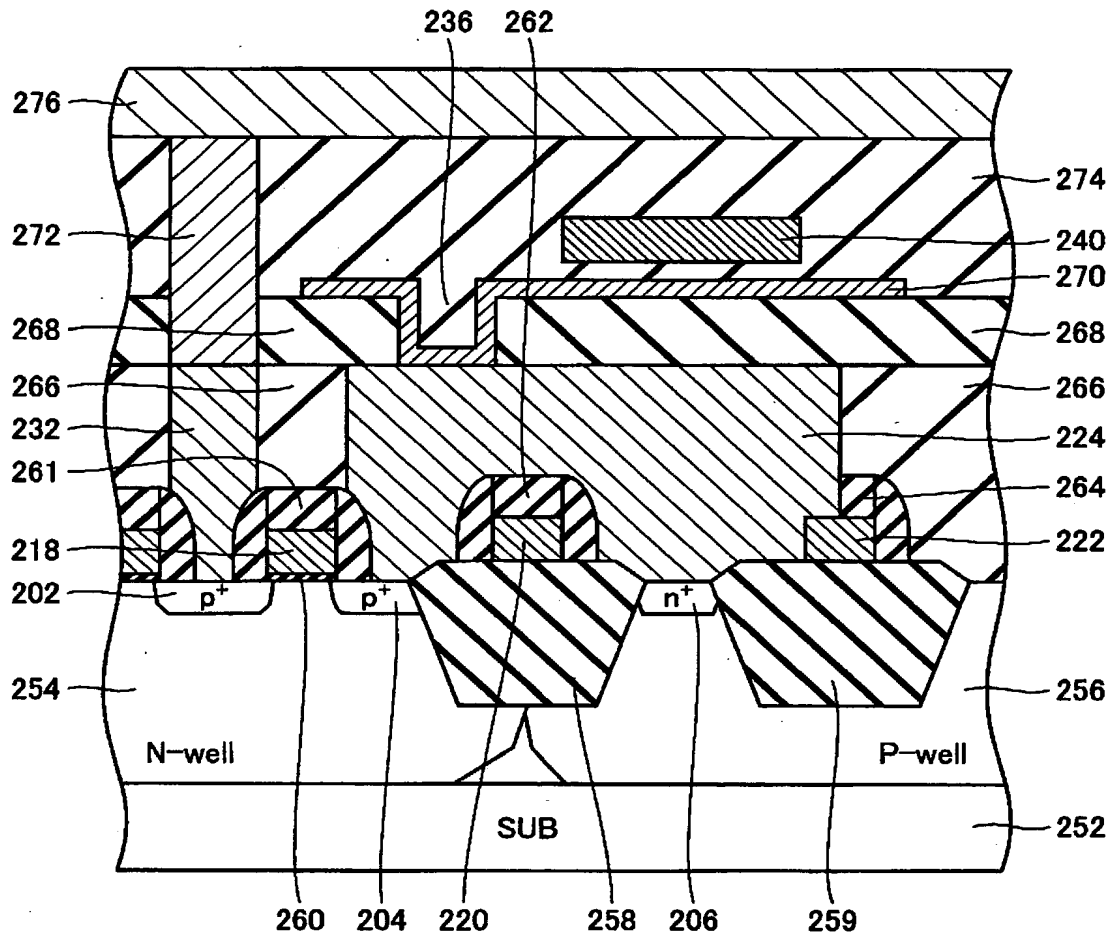
【図 4】



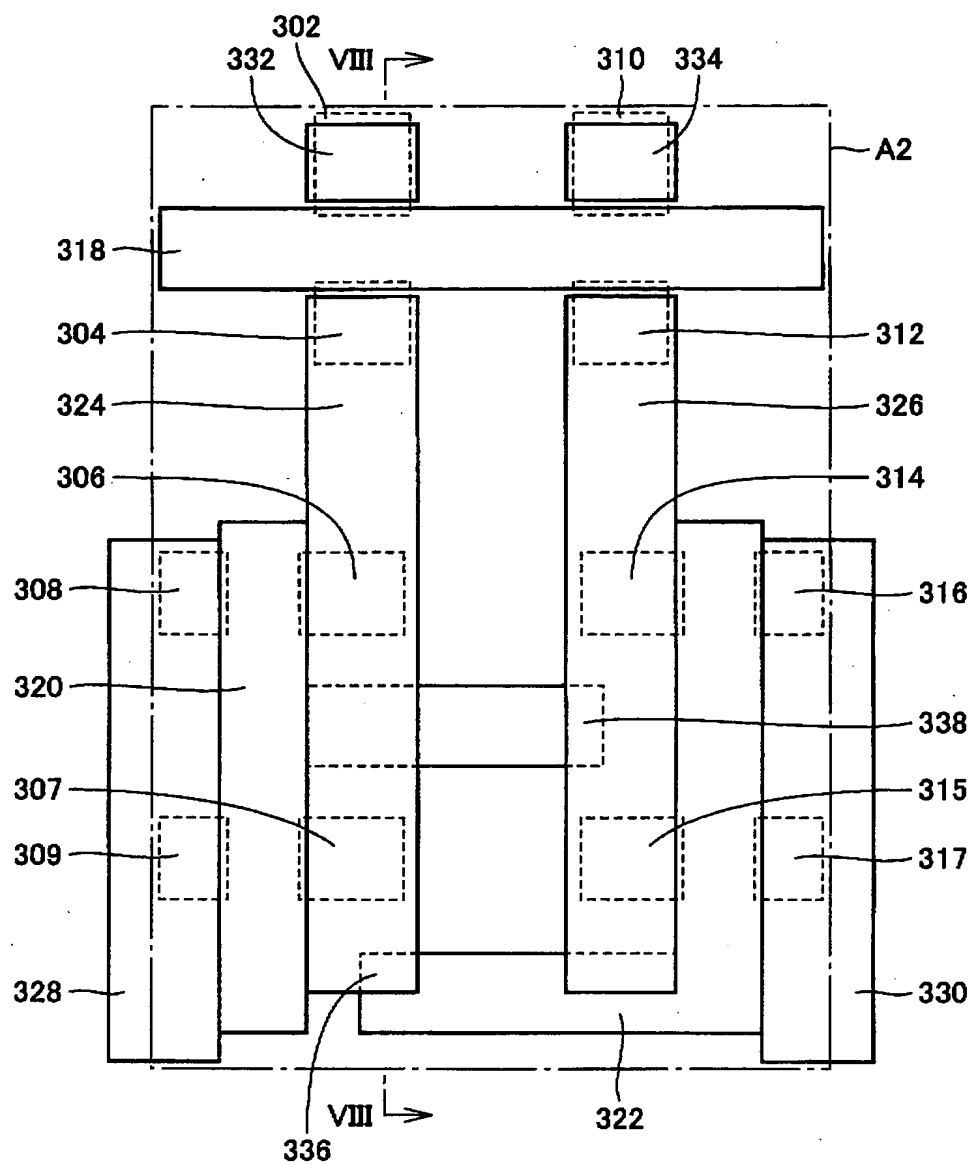
【図 5】



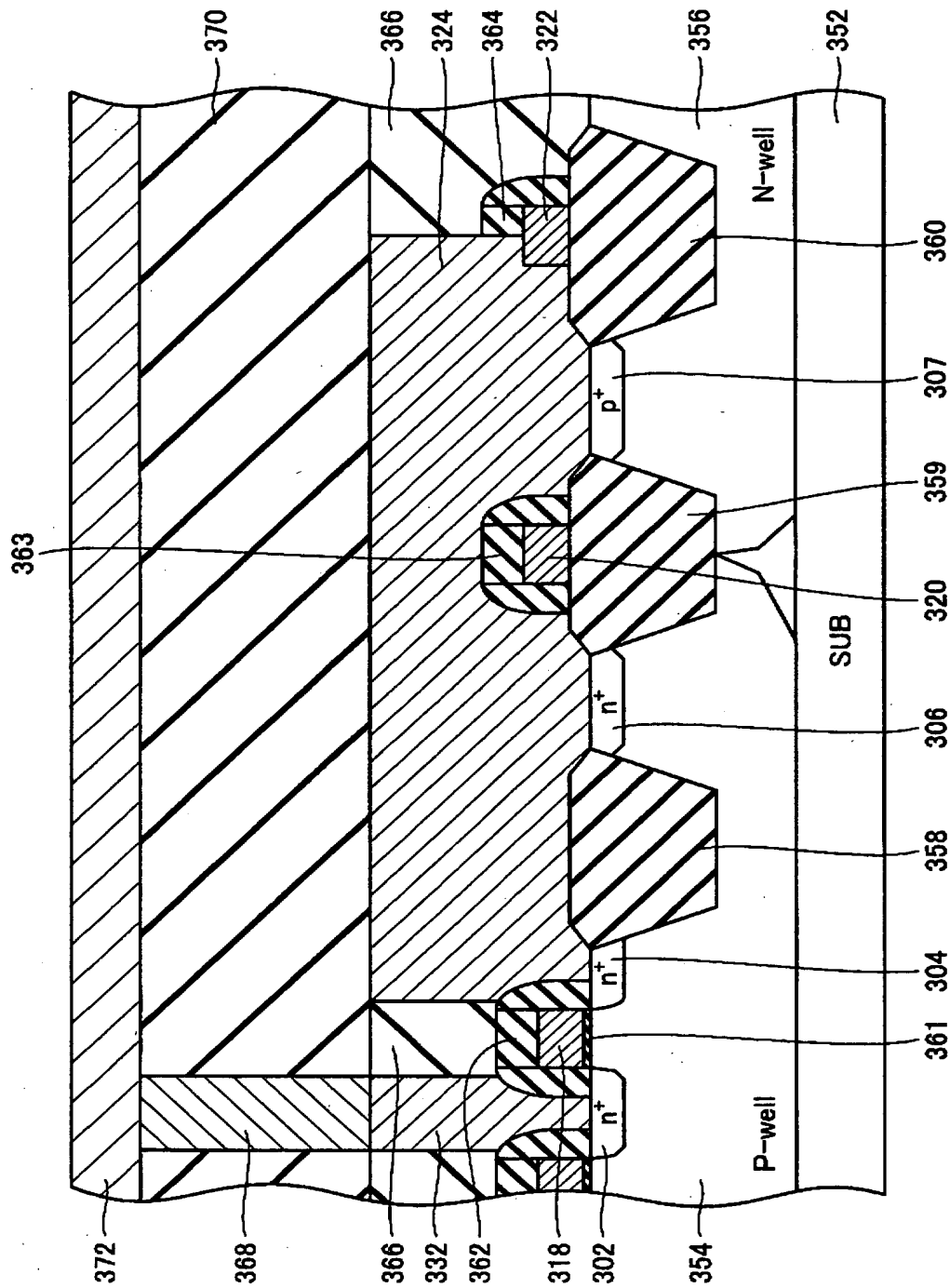
【図 6】



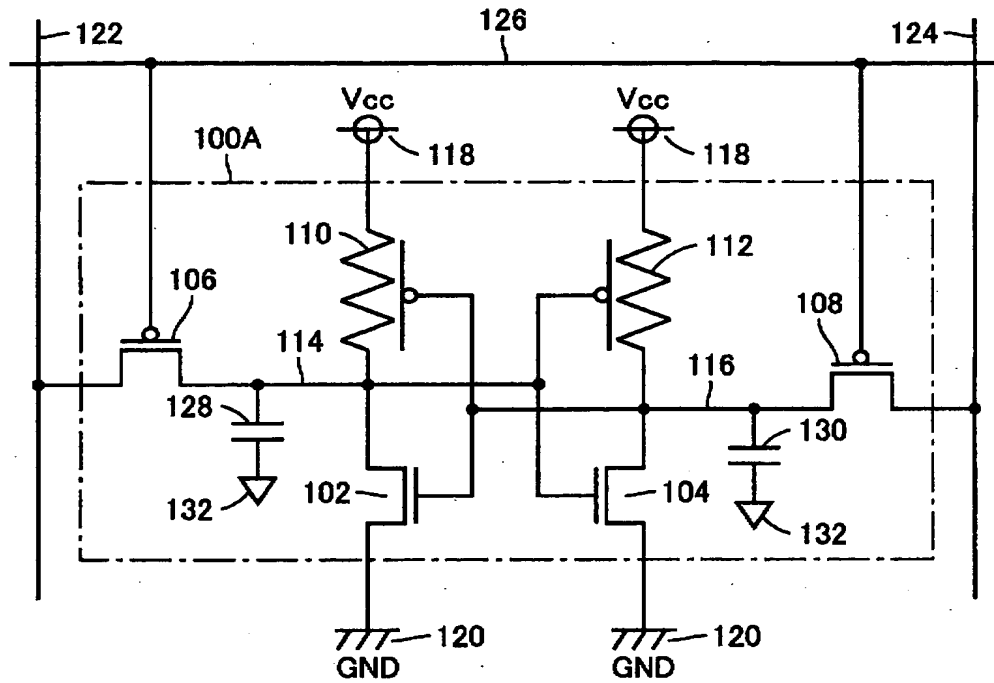
【図 7】



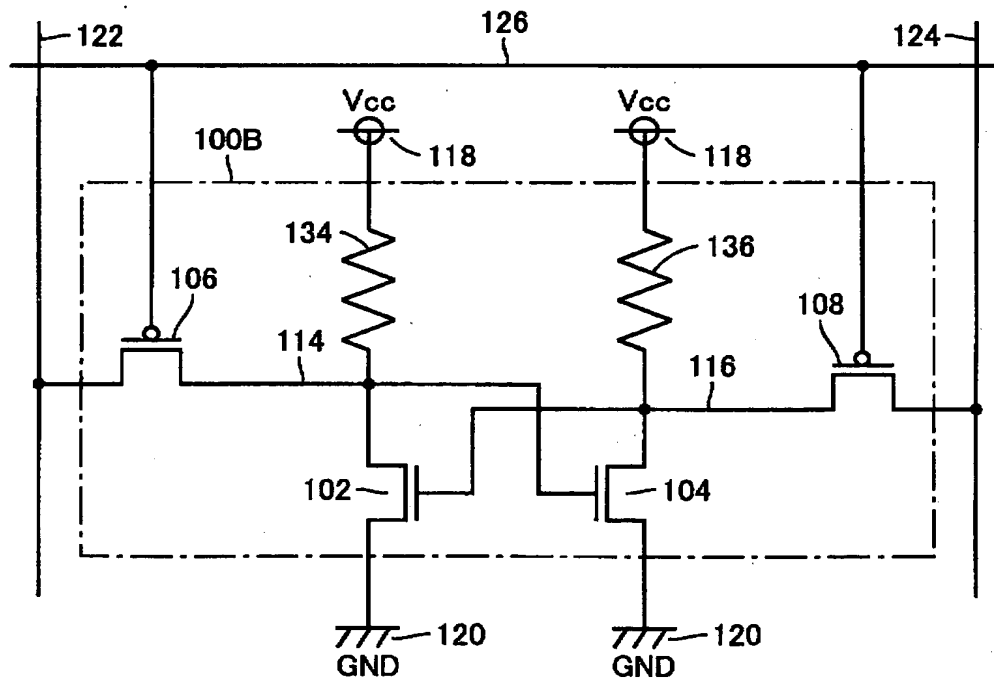
【図 8】



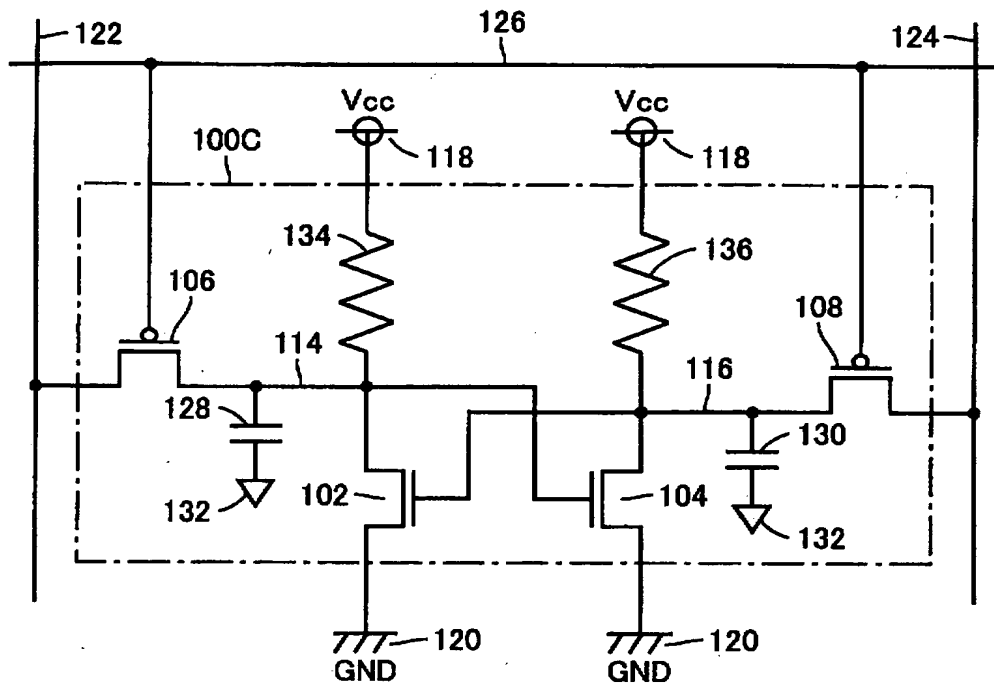
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 低電力化に対応でき、かつ、小型化を実現する半導体記憶装置を提供する。

【解決手段】 メモリセルにおける記憶ノードを構成する埋込配線224とビット線を構成する金属配線276に接続されるビット線コンタクト部232との間に設けられるアクセストランジスタは、N型ウェル254内に形成されるP型の不純物領域202、204およびゲート電極218で構成されるPチャネルMOSトランジスタからなる。埋込配線224は、上記アクセストランジスタおよびP型ウェル256の主表面に形成されるドライバトランジスタの上部に積層して設けられる。負荷素子であるPチャネルTFTを構成するポリシリコン膜270は、層間絶縁膜268を介して埋込配線224の上部にさらに積層して設けられ、接続開口部236を介して埋込配線224に接続される。

【選択図】 図6

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日
[変更理由] 新規登録
住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ